

AF

Requested Patent: JP58097751A
Title: MULTI-PROCESSOR SYSTEM ;
Abstracted Patent: JP58097751 ;
Publication Date: 1983-06-10 ;
Inventor(s): UEDA KENICHI; others: 02 ;
Applicant(s): MATSUSHITA DENKI SANGYO KK ;
Application Number: JP19810195925 19811204 ;
Priority Number(s): ;
IPC Classification: G06F11/20 ; G06F15/16 ;
Equivalents: JP1407168C, JP62014859B

ABSTRACT:

PURPOSE: To realize a backup which does not cause a breakdown of system as a whole with high reliability and high efficiency, by using together a double ratio synchronous operation system, a queuing spare operation system and an N+1 substitute system in accordance with the function of each processor.

CONSTITUTION: A processor CPA which works with a dual system is used as a master processor, and a processor CP'A works as a slave processor. These two processors perform the synchronous collation of data through a synchronous data transmission/reception line 3 and at the same time work together with a mutual check through a mutual monitor line 2. The processors CPB and CP'B apply a queuing spare system and connected to each other via a mutual monitor line 4. The processor CPB has an on-line operation as the using side; while the processor CP'B is always ready for an operation as the queuing side respectively

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—97751

⑪ Int. Cl.³
G 06 F 11/20
15/16

識別記号

庁内整理番号
7257—5B
6619—5B

⑬ 公開 昭和58年(1983)6月10日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ マルチプロセッサシステム

川崎市多摩区東三田3丁目10番
1号松下技研株式会社内

⑯ 特 願 昭56—195925

⑰ 発 明 者 本田邦夫

⑱ 出 願 昭56(1981)12月4日

川崎市多摩区東三田3丁目10番
1号松下技研株式会社内

⑲ 発 明 者 上田謙一

⑳ 出 願 人 松下電器産業株式会社

川崎市多摩区東三田3丁目10番
1号松下技研株式会社内

門真市大字門真1006番地

㉑ 発 明 者 菅野淳

㉒ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

マルチプロセッサシステム

2、特許請求の範囲

同期信号ラインおよび相互監視ラインで接続されたデュアル方式二重化プロセッサと、相互監視ラインで接続された待機予備方式二重化プロセッサと、負荷を分担するプロセッサの予備プロセッサとを具備したことを特徴とするマルチプロセッサシステム。

3、発明の詳細な説明

本発明は、マルチプロセッサシステムに関するものである。

従来、マルチプロセッサシステムのバックアップ方式は、マルチプロセッサシステムのプロセッサに、複数の予備プロセッサを用意するという方式に限られていた。第1図はこのような従来のマルチプロセッサシステムのバックアップ方式の一例を示す。第1図において、1は共通バス、CP₁、CP₂、……、CP₁、……CP_nはプ

ロセッサ、CP₁'、……CP_j'、……CP_n'は予備プロセッサ、SVCUは監視プロセッサを示す。今、プロセッサCP₁、CP₂、……CP₁、……CP_nがオンライン稼動中に、プロセッサCP₁が故障すると、予備プロセッサCP₁'、……CP_j'……CP_n'のうち、代行中でないプロセッサCP_j'が、プロセッサCP₁の代行を行う。この場合、プロセッサCP₁の障害は、監視プロセッサSVCUによって検出され、監視プロセッサSVCUによって、プロセッサCP_j'が選択され、その後、プロセッサCP_j'に対して、プロセッサCP₁の代行を行うために必要なプログラムがロードされ、プロセッサCP₁として起動されることとなる。このため、

プロセッサCP₁が故障してから、プロセッサCP_j'がプロセッサCP₁の代行として起動されるまでには、相当な長い時間が経過することとなる。このため、プロセッサCP₁が、緊急を要する重要な役割を分担しているような場合には、プロセッサCP_j'がプロセッサCP₁の代行を行うまでに、システムダウンとなってしまうということが

存在する。さらに、システムダウンとならないまでも、プロセッサ-CP₁の故障によって、プロセッサ-CP₁の担っていたジョブが、途中で強制終了することとなり、システム全体として見た時、誤った結果を出力するという場合が生ずることとなる。

本発明の目的は、かかる従来のマルチプロセッサシステムのバックアップ方式の欠点をなくし、システムダウンを生じない、全体として信頼性の高い、かつ効率のよい、バランスのとれたバックアップ方式を提供するにある。

第2図は、本発明の一実施例の簡単化したブロック線図を示す。図において、1は共通バス、2は相互監視ライン、3は同期データ送受信ライン、4は相互監視ライン、CP_A, CP_{A'}, CP_B, CP_{B'}, CP₁, …… , CP_N, CP_{N+1}はプロセッサを示す。

次に、第2図に示す実施例について説明する。第2図において、プロセッサ-CP_AとCP_{A'}は、デュアル方式として、同期して稼動するプロセッサであり、プロセッサ-CP_Aはマスターとして、

プロセッサ-CP_{A'}はスレイブとして稼動している。プロセッサ-CP_AとCP_{A'}は、同期データ送受信ライン3を通してデータの送受信を行い、データの同期照合を実施して、相互チェックを実施しながら稼動し、また、相互監視ライン2により、相互にプロセッサ-CP_A, CP_{A'}の稼動チェックを行いながら同期運転を行っている。いま、プロセッサ-CP_A, CP_{A'}のいずれかが障害となっても、他方がシングルで稼動をつづけることにより、システム全体としては、正常な動作をつづけていることとなる。次に、プロセッサ-CP_BとCP_{B'}は、待機予備方式として、相互監視ライン4によって相互に接続され、プロセッサ-CP_Bが現用側としてオンライン稼動し、プロセッサ-CP_{B'}が待機予備側として、いつでも稼動可能な起動待ち状態となっている。今、プロセッサ-CP_Bが故障すると、相互監視ラインによって、プロセッサ-CP_{B'}が認識し、プロセッサ-CP_{B'}が現用側として自動的に立上り、プロセッサ-CP_Bの代行を行うということにより、プロセッサ-CP_{B'}が立上るまでの一時

的な瞬断は存在するが、システム全体としては、正常な動作をつづけていることとなる。次に、プロセッサ-CP₁, …… , CP_N, CP_{N+1}は、N+1予備方式として、CP₁, …… , CP_Nが現用側としてオンライン稼動をし、CP_{N+1}は予備側として、いつでも稼動可能な起動待ち状態となっている。今、プロセッサ-CP₁, …… , CP_Nのいずれか例えばCP₁が故障すると、監視プロセッサ-SVCUによって、その障害プロセッサが検出され、プロセッサ-CP_{N+1}へ指令がなされ、プロセッサ-CP_{N+1}が、故障したプロセッサ-CP₁の代行を行うことにより、システム全体として正常な動作をつづけることとなる。

以上説明したように、本発明は、マルチプロセッサシステムにおいて、各々のプロセッサの機能に応じて、二重化同期運転方式、待機予備運転方式、N+1代行方式を併用し、全体としてシステムダウンを生じない信頼性の高い、かつ効率よくバランスのとれたバックアップ方式が可能と

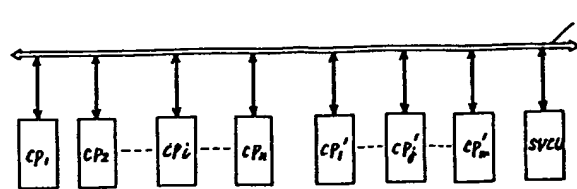
4. 図面の簡単な説明

第1図は従来のマルチプロセッサシステムのバックアップ方式を示す構成図、第2図は本発明によるマルチプロセッサシステムのバックアップ方式を示す構成図である。

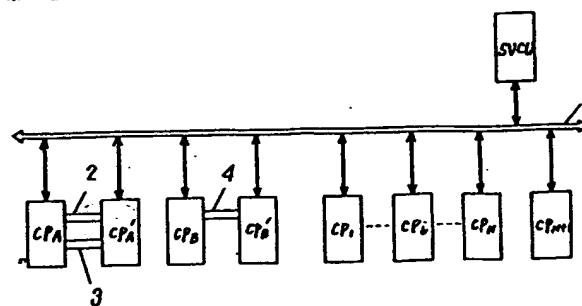
1 …… 共通バス、2 …… 相互監視ライン、3 …… 同期データ送受信ライン、4 …… 相互監視ライン、CP_A, CP_{A'}, CP_B, CP_{B'}, CP₁, …… , CP_N, CP_{N+1} …… プロセッサ、SVCU …… 監視プロセッサ。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.